

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-301825

(43) 公開日 平成7年(1995)11月14日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0			
1/1335				
H 0 1 L 29/786		9056-4M	H 0 1 L 29/ 78	3 1 1 A

審査請求 未請求 請求項の数3 O L (全 4 頁)

(21) 出願番号 特願平6-95262

(22) 出願日 平成6年(1994)5月9日

(71) 出願人 000002325

セイコー電子工業株式会社

千葉県千葉市美浜区中瀬1丁目8番地

(72) 発明者 鷹巣 博昭

東京都江東区亀戸6丁目31番1号 セイコ

ー電子工業株式会社内

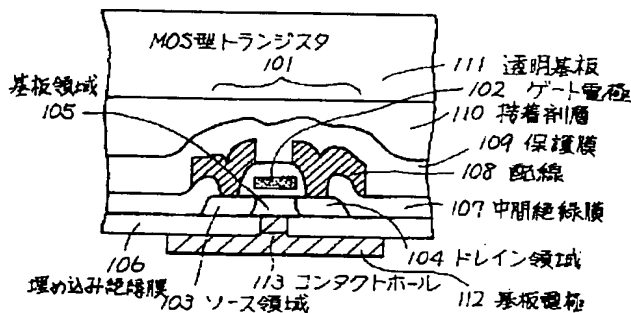
(74) 代理人 弁理士 林 敬之助 (外1名)

(54) 【発明の名称】 光弁用半導体装置

(57) 【要約】

【目的】 単結晶シリコン上に不安定動作を防止したトランジスタを形成し、微細な画素サイズを実現する光弁用半導体装置を提供することを目的とする。

【構成】 単結晶シリコン基板上に形成された画素領域と駆動回路を同一チップ内に内蔵した光弁用半導体装置において、画素領域のMOS型スイッチトランジスタの基板領域はMOS型スイッチトランジスタ下面の埋め込み絶縁膜に設けられたコンタクトホールを介して基板電極に接続されており基板領域に所定の電圧を供給できる構造であり、基板電極はMOS型スイッチトランジスタの遮光膜を兼ねており、基板電極は画素領域外に延設され、放熱用領域を形成していることを特徴とする光弁用半導体装置。



7-301825

【特許請求の範囲】

【請求項 1】 単結晶シリコン基板上に形成された画素領域と駆動回路領域とが同一チップ内に内蔵した光弁用半導体装置において、該画素領域の基板領域には MOS 型スイッチトランジスタが形成され、該 MOS 型スイッチトランジスタの下面には絶縁膜と基板電極が積層形成され、該基板領域と該基板電極とは該絶縁膜に設けられたコンタクトホールを介して電氣的に接続され、該基板領域に該基板電極より所定の電圧を供給できる構造を有することを特徴とする光弁用半導体装置。

【請求項 2】 請求項 1 記載の光弁用半導体装置において、

該基板電極は光を透過しない導電体材料からなり、該 MOS 型スイッチトランジスタの遮光膜として機能することを特徴とする光弁用半導体装置。

【請求項 3】 請求項 1 記載の光弁用半導体装置において、

該基板電極は該画素領域外に延在して設けられ、該 MOS 型スイッチトランジスタで発生する熱の放熱領域を構成することを特徴とする光弁用半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は光弁用半導体装置、特に単結晶シリコン基板上に形成された画素領域と駆動回路を同一チップ内に内蔵した光弁用半導体装置に関する。

【0002】

【従来の技術】 従来、ガラス基板上に形成された多結晶シリコン膜、あるいはアモルファスシリコン膜上にスイッチトランジスタを形成した光弁用半導体基板が知られていた。

【0003】

【発明が解決しようとする課題】 しかしながら、従来の光弁用半導体装置では駆動回路が内蔵されていない場合が多く、別に製造した駆動用 IC と外部で接続する必要があった。また、一部多結晶シリコンを材料として駆動回路内蔵型の光弁用半導体装置も知られているが、単結晶シリコンに比べて移動度が低く、また結晶粒径のバラツキが大きい、小型で大容量の駆動回路の形成が極めて困難であった。また最近になって、より微細で高速の画素スイッチを目標として、再結晶化法などにより画素のスイッチトランジスタを単結晶シリコンによって形成することも考案されている。しかしながら、本発明者の実験、試作などによると、結晶性に優れた単結晶シリコン上のトランジスタにおいては、従来の多結晶シリコン上のトランジスタに比べて光照射に敏感であり、しきい値変動やリーク電流の増加などの不具合を生じ易いことが判った。また、光弁装置を形成した場合、画素領域はガラスや液晶などの熱伝導率低い物質により覆われているため、動作時に発生した熱がこもりやすく、温度上昇によって、スイッチトランジスタや液晶の動作不良を

ひき起こすという問題も生じてくるが、特に単結晶シリコン上にスイッチトランジスタを形成した場合には電流駆動能力が大きいため発熱の問題はより深刻なものとなることが判った。

【0004】 本発明は、上記課題を解消して、単結晶シリコン上に不安定動作を防止したトランジスタを形成し、微細な画素サイズを実現する光弁用半導体装置を提供することを目的とする。

【0005】

- 10 【課題を解決するための手段】 本発明者の実験により、基板領域の電位固定を行わない従来の構造では、光照射によって発生したキャリアが基板領域に滞留してしまい、これによって、基板電位が変動し、(N 型トランジスタの場合は上昇、P 型トランジスタの場合は降下) トランジスタのしきい値低下を生じること、また基板電位の変動によりキャリアの生存性の高い単結晶シリコン上のトランジスタでは、バイポーラアクションをひき起こしリーク電流の増大を生じるというメカニズムを明らかにした。従って、単結晶シリコン上のトランジスタにおいて、光照射下におけるしきい値の変動、リーク電流の増大を防止するには、基板領域の電位固定が有効な手段となることが判った。

- 20 【0006】 本発明の光弁用半導体装置が上記目的を達成するために採用した第一の手段は、単結晶シリコン基板上に形成された画素領域と駆動回路を同一チップ内に内蔵した光弁用半導体装置において、画素領域の MOS 型スイッチトランジスタの基板領域は MOS 型スイッチトランジスタ下面の埋め込み絶縁膜に設けられたコンタクトホールを介して基板電極に接続されており基板領域
- 30 に所定の電圧を供給できる構造であることを特徴とする。第二の手段は基板電極は MOS 型スイッチトランジスタの遮光膜を兼ねることを特徴とする。第三の手段は、基板電極は画素領域外に延設され、放熱用領域を形成していることを特徴とする。

【0007】

- 40 【作用】 本発明の光弁用半導体装置は、画素領域の MOS 型スイッチトランジスタの基板領域は MOS 型スイッチトランジスタ下面の埋め込み絶縁膜に設けられたコンタクトホールを介して基板電極に接続されており基板領域に所定の電圧を供給できる構造であるため、基板領域の電位を固定することができる。したがって、光照射下においても基板領域の電位変動を防止し、MOS 型スイッチトランジスタのしきい値の変動、リーク電流の増大を防止することができる。また、基板電極は画素領域外に延設され、放熱用領域を形成しているため、MOS 型スイッチトランジスタの動作により発生した熱をすみやかに拡散放出することができる。

【0008】

- 50 【実施例】 以下、図面を参照して本発明の好適な実施例を説明する。図 1 は本発明の光弁用半導体装置の画素ス

イチットランジスタの一実施例を示す模式的断面図である。埋め込み絶縁膜106上に一对のソース領域103、ドレイン領域104に挟まれた基板領域105およびゲート電極102を有するMOS型トランジスタ101が形成されている。ソース領域103およびドレイン領域104にはアルミニウムなどからなる配線108が接続しており、図示しないが、それぞれ画素領域周辺に形成された駆動回路部および画素電極に接続されている。MOS型トランジスタ101上には、保護膜109が形成され、保護膜109上には平坦化膜を兼ねた透明な接着剤層110を介してガラスなどの透明基板111が固定されている。一方、MOS型トランジスタ101の基板領域105はMOS型スイッチトランジスタ101下面の埋め込み絶縁膜106に設けられたコンタクトホール113を介して基板電極112に接続されており、基板領域105に所定の電圧を供給でき、基板領域105の電位を固定することができる構造である。また、基板電極112は不透明材料からなり、MOS型トランジスタ101に照射される光を遮る遮光膜の機能を有する。

【0009】図2は本発明の光弁用半導体装置の画素スイッチトランジスタの他の実施例を示す模式的断面図である。図1に示した例と異なる点は、MOS型トランジスタ101のソース領域103およびドレイン領域104が埋め込み絶縁膜106に接しておらず、ソース領域103およびドレイン領域104下部にも基板領域105が存在する点である。この構造をとることにより、MOS型トランジスタ101のゲート長が埋め込み絶縁膜106に設けられたコンタクトホール113の寸法よりも小さい場合でも基板領域105の電位固定が可能である。その他の部分については、図1と同一の符号を添記することで説明に代える。

【0010】図3は本発明の光弁用半導体装置の画素スイッチトランジスタの他の実施例を示す模式的平面図である。MOS型トランジスタ101のゲート長301が短く、従ってソース領域103とドレイン領域104に挟まれた基板領域105も小さく、埋め込み絶縁膜106に設けるべきコンタクトホール113が形成できない場合、単結晶シリコンデバイス形成層401の形状を例えば図3に示すように加工し、基板領域105に電圧を印加できるようにMOS型トランジスタ101の側部に引き出し、埋め込み絶縁膜106にコンタクトホール113を形成し、基板電極112と接続した例を示している。図3では、コンタクトホール113はゲート電極102と重ならないように配置したが、コンタクトホール113および基板電極112はゲート電極102が形成される面とは反対の、いわば裏面側に形成するため、平面的に重なってもかまわない。

【0011】図1、図2、図3の実施例によれば、画素領域のMOS型トランジスタ101の基板領域105は

MOS型トランジスタ下面の埋め込み絶縁膜106に設けられたコンタクトホール113を介して基板電極112に接続されており基板領域105に所定の電圧を供給できる構造であるため、基板領域の電位を固定することができる。したがって、光照射下においても基板領域105の電位変動を防止し、MOS型トランジスタ101のしきい値の変動、リーク電流の増大を防止することができる。また、基板電極112はゲート電極102や配線108などの形成される面とは反対の裏面側に形成されるため、平面的に重なりあうようなレイアウトをとることも可能である。これによって、透明領域の広い、すなわち開口率の高い微細な画素を形成することができる。

【0012】図4は本発明による、光弁用半導体装置の一チップ全体の模式的平面図である。ガラスなどの透明基板111上に図示しないが、単結晶シリコンからなるMOS型画素トランジスタを含む画素領域203と駆動回路202が形成されている。各画素トランジスタの基板領域に接続した基板電極112は熱伝導性に優れた金属などの材料から形成されており、画素領域外に延設され、放熱用領域204を形成している。図4では、放熱用領域204は画素領域203の一方方向面にのみ形成してあるが、画素領域203の周囲ならばこれに限るものではない。また、基板電極112は複数個のあるいは全ての画素トランジスタの基板領域同士が短絡するように接続してもよい。さらに、図示しないが、基板電極112は端子取り出しパッドなどを設けて、所定の電圧を外部より印加できるようにしておくことが望ましい。図4の実施例によれば、基板電極112は画素領域外に延設され、放熱用領域204を形成しているため、画素トランジスタの動作により発生した熱をすみやかに拡散放出することができる。

【0013】

【発明の効果】上述したように本発明によれば、画素領域のMOS型スイッチトランジスタの基板領域はMOS型スイッチトランジスタ下面の埋め込み絶縁膜に設けられたコンタクトホールを介して基板電極に接続されており基板領域に所定の電圧を供給できる構造であるため、基板領域の電位を固定することができる。したがって、光照射下においても基板領域の電位変動を防止し、MOS型スイッチトランジスタのしきい値の変動、リーク電流の増大を防止することができる。また、基板電極はゲート電極や配線などの形成される面とは反対の裏面側に形成されるため、平面的に重なりあうようなレイアウトをとることも可能である。これによって、透明領域の広い、すなわち開口率の高い微細な画素を形成することができる。更に、基板電極は画素領域外に延設され、放熱用領域を形成しているため、MOS型スイッチトランジスタの動作により発生した熱をすみやかに拡散放出することができる。

【図面の簡単な説明】

【図 1】本発明の光弁用半導体装置の画素スイッチトランジスタの一実施例を示す模式的断面図である。

【図 2】本発明の光弁用半導体装置の画素スイッチトランジスタの他の実施例を示す模式的断面図である。

【図 3】図 3 は本発明の光弁用半導体装置の画素スイッチトランジスタの他の実施例を示す模式的平面図である。

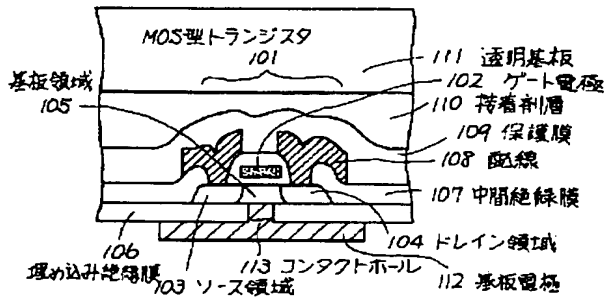
【図 4】本発明による、光弁用半導体装置の一チップ全体の模式的平面図である。

【符号の説明】

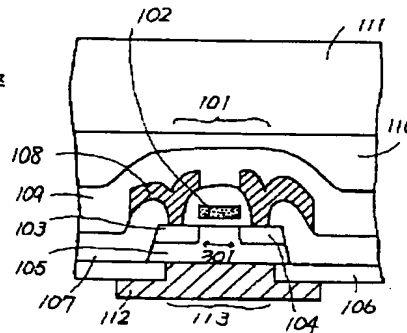
101 MOS型トランジスタ
102 ゲート電極
103 ソース領域
104 ドレイン領域

105 基板領域
106 埋め込み絶縁膜
107 中間絶縁膜
108 配線
109 保護膜
110 接着剤層
111 透明基板
112 基板電極
113 コンタクトホール
202 駆動回路
203 画素領域
204 放熱用領域
301 ゲート長
401 単結晶シリコンデバイス形成層

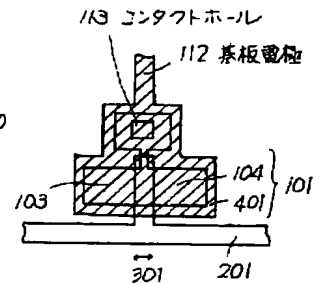
【図 1】



【図 2】



【図 3】



【図 4】

